

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11017743 A**

(43) Date of publication of application: **22.01.99**

(51) Int. Cl

H04L 13/08

G06F 13/00

(21) Application number: **09164811**

(71) Applicant: **SONY CORP**

(22) Date of filing: **20.06.97**

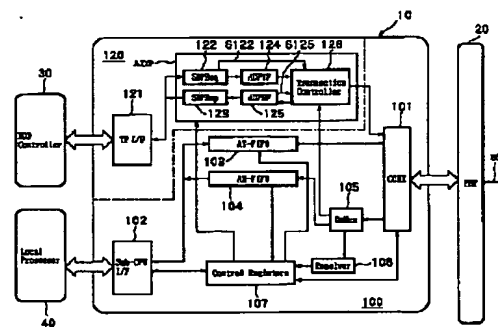
(72) Inventor: **MUTO TAKAYASU**

(54) SERIAL INTERFACE CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a serial interface circuit with which the data of a large capacitance are made into packet corresponding to a prescribed standard and can be transmitted/received and smooth transmission/reception processing is enabled.

SOLUTION: At the time of receiving operation, a request packet is generated at a request packet generation circuit 122, the maximum data length of a response packet corresponding to the request packet to be transmitted is calculated, a transaction controller 126 compares the maximum data length maxpl with the remaining storage capacity of a FIFO 125 for response and when the remaining storage capacity is more than the maximum data length maxpl, the request packet is transmitted. When the remaining storage capacity is less than the maximum data length maxpl, the output of the request packet to a link core 101 is constituted so as to temporarily stop the transmission of the request packet to another node until the remaining storage capacity gets more than the maximum data length maxpl.



COPYRIGHT: (C)1999,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 7 7 4 3

(43) 公開日 平成 1 1 年 (1 9 9 9) 1 月 2 2 日

(51) Int. Cl. 6	識別記号	庁内整理番号	F I	技術表示箇所
H04L 13/08			H04L 13/08	
G06F 13/00	357		G06F 13/00	357 A

審査請求 未請求 請求項の数 8 O L (全 1 1 頁)

(21) 出願番号 特願平 9 - 1 6 4 8 1 1

(22) 出願日 平成 9 年 (1 9 9 7) 6 月 2 0 日

(71) 出願人 0 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72) 発明者 武藤 隆保

東京都品川区北品川 6 丁目 7 番 3 5 号

ソニー株式会社内

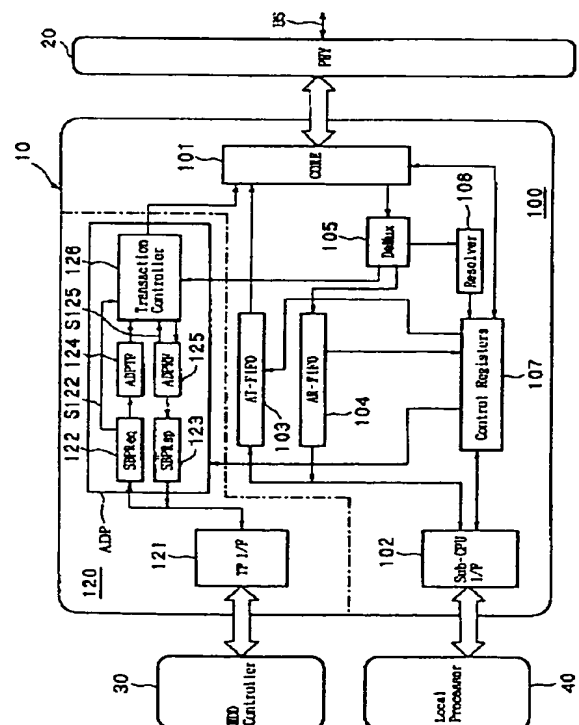
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 シリアルインタフェース回路

(57) 【要約】

【課題】 大容量のデータを所定の規格に合わせてたパケットにして送受信でき、円滑な送受信処理をことのできるシリアルインタフェース回路を提供する。

【解決手段】 受信動作時には、要求パケット生成回路 1 2 2 において、要求パケットを生成するとともに、送信する要求パケットに対する応答パケットの最大データ長を計算し、トランザクションコントローラ 1 2 6 で、最大データ長 maxpl と応答用 F I F O 1 2 5 の残り記憶容量とを比較し、残り記憶容量が最大データ長 maxpl 以上の場合に、要求パケットの送信を行わせ、残り記憶容量が最大データ長 maxpl より小さい場合には、要求パケットのリンクコア 1 0 1 への出力を、残り記憶容量が最大データ長 maxpl 以上になるまで、要求パケットの他ノードへの送信を一時停止するよう構成する。



【特許請求の範囲】

【請求項 1】 自ノードとシリアルインタフェースバスを介して接続された他ノード間でアシンクロナスパケットの送受信を行うシリアルインタフェース回路であって、

記憶手段と、

他ノードのデータを自ノードへ転送する場合に、転送すべきデータサイズを含む要求パケットを生成する送信パケット生成回路と、

上記要求パケットで要求するデータのサイズと上記記憶手段の残り容量とを比較する比較手段と、

上記比較手段の比較の結果、記憶手段の残り容量が要求データサイズ以上で有る場合に上記要求パケットを上記シリアルインタフェースバスに送出し、他ノードからの当該要求パケットに対する応答パケットを受信したときに、応答パケットの少なくともデータ部を上記記憶手段に記憶させるデータ処理回路とを有するシリアルインタフェース回路。

【請求項 2】 自ノードとシリアルインタフェースバスを介して接続された他ノード間でアシンクロナスパケットの送受信を行うシリアルインタフェース回路であって、

第 1 の記憶手段と、

第 2 の記憶手段と、

他ノードのデータを自ノードへ転送する場合に、転送すべきデータサイズを含む要求パケットを生成し、上記第 1 の記憶手段に記憶する送信パケット生成回路と、

上記要求パケットで要求するデータのサイズと上記第 2 の記憶手段の残り容量とを比較する比較手段と、

上記比較手段の比較の結果、第 2 の記憶手段の残り容量が要求データサイズ以上で有る場合に上記要求パケットを上記シリアルインタフェースバスに送出し、他ノードからの当該要求パケットに対する応答パケットを受信したときに、応答パケットの少なくともデータ部を上記第 2 の記憶手段に記憶させるデータ処理回路とを有するシリアルインタフェース回路。

【請求項 3】 送信パケット生成回路は、他ノードのデータを自ノードへ転送する場合にはデータをパケット化して転送できるように、転送すべきデータサイズを含む複数の要求パケットを生成して上記シリアルインタフェースバスに送出する請求項 1 記載のシリアルインタフェース回路。

【請求項 4】 送信パケット生成回路は、他ノードのデータを自ノードへ転送する場合にはデータをパケット化して転送できるように、転送すべきデータサイズを含む複数の要求パケットを生成して上記シリアルインタフェースバスに送出する請求項 2 記載のシリアルインタフェース回路。

【請求項 5】 自ノードとシリアルインタフェースバスを介して接続された他ノード間でアシンクロナスパケッ

トの送受信を行うシリアルインタフェース回路であって、

記憶手段と、

他ノードのデータを自ノードへ転送する場合に、転送すべきデータサイズを含む要求パケットを生成する送信パケット生成回路と、

上記要求パケットで要求可能な最大のデータサイズを求める最大サイズ算出回路と、

上記最大サイズ算出回路で求めた最大データサイズと上記記憶手段の残り容量とを比較する比較手段と、

上記比較手段の比較の結果、記憶手段の残り容量が最大データサイズ以上で有る場合に上記要求パケットを上記シリアルインタフェースバスに送出し、他ノードからの当該要求パケットに対する応答パケットを受信したときに、応答パケットの少なくともデータ部を上記記憶手段に記憶させるデータ処理回路とを有するシリアルインタフェース回路。

【請求項 6】 自ノードとシリアルインタフェースバスを介して接続された他ノード間でアシンクロナスパケットの送受信を行うシリアルインタフェース回路であって、

第 1 の記憶手段と、

第 2 の記憶手段と、

他ノードのデータを自ノードへ転送する場合に、転送すべきデータサイズを含む要求パケットを生成し、上記第 1 の記憶手段に記憶する送信パケット生成回路と、

上記要求パケットで要求可能な最大のデータサイズを求める最大サイズ算出回路と、

上記最大サイズ算出回路で求めた最大データサイズと上記第 2 の記憶手段の残り容量とを比較する比較手段と、

上記比較手段の比較の結果、第 2 の記憶手段の残り容量が最大データサイズ以上で有る場合に上記要求パケットを上記シリアルインタフェースバスに送出し、他ノードからの当該要求パケットに対する応答パケットを受信したときに、応答パケットの少なくともデータ部を上記第 2 の記憶手段に記憶させるデータ処理回路とを有するシリアルインタフェース回路。

【請求項 7】 送信パケット生成回路は、他ノードのデータを自ノードへ転送する場合にはデータをパケット化して転送できるように、転送すべきデータサイズを含む複数の要求パケットを生成して上記シリアルインタフェースバスに送出する請求項 5 記載のシリアルインタフェース回路。

【請求項 8】 送信パケット生成回路は、他ノードのデータを自ノードへ転送する場合にはデータをパケット化して転送できるように、転送すべきデータサイズを含む複数の要求パケットを生成して上記シリアルインタフェースバスに送出する請求項 6 記載のシリアルインタフェース回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、ディジタルシリアルインタフェース回路に係り、特にHDD (Hard Disk Drive)、DVD (Digital Video Disk)-ROM、CD (Compact Disk)-ROM、テープストリーマ(Tape Streamer)等のストレージ装置に接続するシリアルインタフェース回路およびその信号処理方法に関するものである。

【 0 0 0 2 】

【従来の技術】近年、マルチメディア・データ転送のためのインタフェースとして、高速データ転送、リアルタイム転送を実現するIEEE (The Institute of Electrical and Electronic Engineers) 1394、High Performance Serial Busが規格化された。

【 0 0 0 3 】このIEEE 1394シリアルインタフェースのデータ転送においては、ネットワーク内で行われる転送動作をサブアクションと呼び、2つのサブアクションが規定されている。一つは、従来のRequest, Acknowledgeの要求、受信確認を行うアシンクロナス(Asynchronous)転送であり、他の一つはあるノードから125 μ sに1回必ずデータが送られるアイソクロナス(Isochronous)転送である。

【 0 0 0 4 】このように、2つの転送モードを有するIEEE 1394シリアルインタフェースでのデータは、パケット単位で転送が行われるが、IEEE 1394規格では、取り扱う最小データの単位は1クワドレット(quadlet) (=4バイト=32ビット)である。

【 0 0 0 5 】IEEE 1394規格では、通常、コンピュータデータは、図4に示すように、アシンクロナス転送を用いて行われる。アシンクロナス転送は、図4

(a)に示すように、バスを獲得するためのアービレーション(arb)、データを転送するパケットトランスミッション、およびアクノリッジメント(ack)の3つの遷移状態をとる。

【 0 0 0 6 】そして、パケットトランスミッションの実行は、図4(b)に示すようなフォーマットで行われる。転送パケットの第1クワドレットは、16ビットのデスティネーションID(destination ID)領域、6ビットのトランザクションラベルt l(transaction label)領域、2ビットのリトライコードr t(retry code)領域、4ビットのトランザクションコードt c o d e(transaction code)領域、および4ビットのプライオリティp r i(priority)領域から構成されている。デスティネーションID領域はこのノードのバスナンバーとノードナンバー、プライオリティ領域は優先レベルを示す。

【 0 0 0 7 】第2クワドレットおよび第3クワドレットは、16ビットのソースID(source ID)領域、および48ビットのデスティネーション・オフセット(destina

tionoffset)領域により構成されている。ソースID領域はこのパケットを送ったノードIDを示し、デスティネーション・オフセット領域はハイ(High)およびロー(Low)の連続した領域からなり、デスティネーション・ノードのアドレス空間のアドレスを示す。

【 0 0 0 8 】第4クワドレットは、16ビットのデータ長(data length)領域、および16ビットのイクステンディッド・トランザクション・コード(extended tcode)領域に構成されている。データ長領域は受信したパケットのバイト数を示し、イクステンディッド tcode領域はt c o d eがロック・トランザクション(Lock transaction)の場合、このパケットのデータが行う実際のロック動作(Lock Action)を示す領域である。

【 0 0 0 9 】データフィールド領域(data field)の前のクワドレットに付加されたヘッダCRC(header CRC)領域は、パケットヘッダの誤り検出符号である。また、データ領域(data field)の後のクワドレットに付加されたデータCRC(data CRC)領域は、データフィールドの誤り検出符号である。

【 0 0 1 0 】

【発明が解決しようとする課題】ところで、上述したように、アシンクロナス転送で行われる通常のコンピュータデータの転送では、そのプロトコルとして、SBP-2(Serial Bus Protocol-2)が用いられる。このプロトコルによると、ストレージデバイス(Storage Device)であるターゲット(Target)からホストコンピュータ(Host Computer)であるイニシエータ(Initiator)にデータを転送するときは、ストレージデバイスからホストコンピュータのメモリへデータを書き込む形で、またホストコンピュータからターゲットにデータを転送するときは、ストレージデバイスがホストコンピュータのメモリのデータを読み出す形で転送が行われる。

【 0 0 1 1 】しかしながら、ストレージデバイスに格納される、あるいはストレージデバイスから読み出される大容量のデータをIEEE 1394規格のパケットにして、送受信するための、いわゆるトランザクション・レイヤ(Transaction Layer)をコントロールする処理系回路システムが未だ確立されていない。

【 0 0 1 2 】本発明は、かかる事情に鑑みてなされたものであり、その目的は、大容量のデータを所定の規格に合わせてパケットにして送受信することができ、また、円滑な送受信処理をことができるシリアルインタフェース回路を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】上記目的を達成するため、本発明は、自ノードとシリアルインタフェースバスを介して接続された他ノード間でアシンクロナスパケットの送受信を行うシリアルインタフェース回路であって、記憶手段と、他ノードのデータを自ノードへ転送する場合に、転送すべきデータサイズを含む要求パケット

を生成する送信パケット生成回路と、上記要求パケットで要求するデータのサイズと上記記憶手段の残り容量とを比較する比較手段と、上記比較手段の比較の結果、記憶手段の残り容量が要求データサイズ以上で有る場合に上記要求パケットを上記シリアルインタフェースバスに送出し、他ノードからの当該要求パケットに対する応答パケットを受信したときに、応答パケットの少なくともデータ部を上記記憶手段に記憶させるデータ処理回路とを有する。

【0014】また、本発明は、自ノードとシリアルインタフェースバスを介して接続された他ノード間でアシンクロナスパケットの送受信を行うシリアルインタフェース回路であって、第1の記憶手段と、第2の記憶手段と、他ノードのデータを自ノードへ転送する場合に、転送すべきデータサイズを含む要求パケットを生成し、上記第1の記憶手段に記憶する送信パケット生成回路と、上記要求パケットで要求するデータのサイズと上記第2の記憶手段の残り容量とを比較する比較手段と、上記比較手段の比較の結果、第2の記憶手段の残り容量が要求データサイズ以上で有る場合に上記要求パケットを上記シリアルインタフェースバスに送出し、他ノードからの当該要求パケットに対する応答パケットを受信したときに、応答パケットの少なくともデータ部を上記第2の記憶手段に記憶させるデータ処理回路とを有する。

【0015】また、本発明は、自ノードとシリアルインタフェースバスを介して接続された他ノード間でアシンクロナスパケットの送受信を行うシリアルインタフェース回路であって、記憶手段と、他ノードのデータを自ノードへ転送する場合に、転送すべきデータサイズを含む要求パケットを生成する送信パケット生成回路と、上記要求パケットで要求可能な最大のデータサイズを求める最大サイズ算出回路と、上記最大サイズ算出回路で求めた最大データサイズと上記記憶手段の残り容量とを比較する比較手段と、上記比較手段の比較の結果、記憶手段の残り容量が最大データサイズ以上で有る場合に上記要求パケットを上記シリアルインタフェースバスに送出し、他ノードからの当該要求パケットに対する応答パケットを受信したときに、応答パケットの少なくともデータ部を上記記憶手段に記憶させるデータ処理回路とを有する。

【0016】また、本発明は、自ノードとシリアルインタフェースバスを介して接続された他ノード間でアシンクロナスパケットの送受信を行うシリアルインタフェース回路であって、第1の記憶手段と、第2の記憶手段と、他ノードのデータを自ノードへ転送する場合に、転送すべきデータサイズを含む要求パケットを生成し、上記第1の記憶手段に記憶する送信パケット生成回路と、上記要求パケットで要求可能な最大のデータサイズを求める最大サイズ算出回路と、上記最大サイズ算出回路で求めた最大データサイズと上記第2の記憶手段の残り容

量とを比較する比較手段と、上記比較手段の比較の結果、第2の記憶手段の残り容量が最大データサイズ以上で有る場合に上記要求パケットを上記シリアルインタフェースバスに送出し、他ノードからの当該要求パケットに対する応答パケットを受信したときに、応答パケットの少なくともデータ部を上記第2の記憶手段に記憶させるデータ処理回路とを有する。

【0017】本発明の回路によれば、他ノードから自ノードへデータを転送する場合には、送信パケット生成回路により転送すべきデータサイズを含む要求パケットが生成されて、データ処理回路に入力（または第1の記憶手段に格納）される。比較手段において要求パケットで要求するデータのサイズと記憶手段（または第2の記憶手段）の残り容量とが比較される。比較の結果、記憶手段（または第2の記憶手段）の残り容量が要求データサイズ以上で有る場合に、データ処理回路から要求パケットがシリアルインタフェースバスに送出される。そして、他ノードからの当該要求パケットに対する応答パケットを受信したときに、応答パケットの少なくともデータ部が記憶手段（または第2の記憶手段）に記憶される。

【0018】また、本発明の回路によれば、他ノードから自ノードへデータを転送する場合には、送信パケット生成回路によりデータをパケット化して転送できるように、転送すべきデータサイズを含む要求パケットが生成されて、データ処理回路に入力（または第1の記憶手段に格納）される。また、最大サイズ算出回路で、要求パケットで要求可能な最大のデータサイズを求められ、比較手段に入力される。比較手段においては、最大データサイズと記憶手段（または第2の記憶手段）の残り容量とが比較される。比較の結果、記憶手段（または第2の記憶手段）の残り容量が最大データサイズ以上で有る場合に、データ処理回路から要求パケットがシリアルインタフェースバスに送出される。そして、他ノードからの当該要求パケットに対する応答パケットを受信したときに、応答パケットの少なくともデータ部が記憶手段（または第2の記憶手段）に記憶される。

【0019】

【発明の実施の形態】図1は、本発明に係るIEEE1394シリアルインタフェース回路の一実施形態を示すブロック構成図である。なお、このシリアルインタフェース回路は、アシンクロナス通信で扱われるコンピュータデータの転送を行うことを目的として構成されている。このため、図1においては、アイソクロナス通信系回路の具体的な構成は図示していない。

【0020】このシリアルインタフェース回路は、リンク／トランザクション・レイヤ集積回路10、フィジカル・レイヤ回路20、ストレージデバイスとしての図示しないハードディスクドライバ（HDD）のコントローラ30、ホストコンピュータとしてのローカルプロセッ

サ 4 0 により構成されている。

【 0 0 2 1 】 リンク／トランザクション・レイヤ集積回路 1 0 は、リンク・レイヤ回路 1 0 0 およびトランザクション・レイヤ回路 1 2 0 が集積化されて構成され、ローカルプロセッサ 4 0 の制御の下、アシンクロナス転送の制御、並びにフィジカル・レイヤ回路 2 0 の制御を行う。

【 0 0 2 2 】 リンク・レイヤ回路 1 0 0 は、図 1 に示すように、リンクコア (Link Core) 1 0 1、CPU インタフェース回路 (Sub-CPU I/F) 1 0 2、アシンクロナス通信で用いられる送信用 F I F O (AT-FIFO: First-In First-Out) 1 0 3、受信用 F I F O (AR-FIFO) 1 0 4、受信パケットを判別する分別回路 (DeMux) 1 0 5、セルフ ID 用リゾルバ (Resolver) 1 0 6、およびコントロールレジスタ (Control Registers、以下 C R という) 1 0 7 により構成されている。

【 0 0 2 3 】 リンクコア 1 0 1 は、コマンドやコンピュータデータが転送されるアシンクロナス通信用パケットおよびアイソクロナス通信用パケットの送信回路、受信回路、これらパケットの I E E E 1 3 9 4 シリアルバス B S を直接ドライブするフィジカル・レイヤ回路 2 0 とのインタフェース回路、1 2 5 μ s 毎にリセットされるサイクルタイマ、サイクルモニタや C R C 回路から構成されている。また、図示しないハードディスクから読み出され、トランザクション・レイヤ回路 1 2 0 で所定の送信パケットとして生成されたコンピュータデータの送信処理等を行う。たとえば、後述するトランザクション・レイヤ回路 1 2 0 のトランザクションコントローラ 1 2 6 から送るべきデータがある旨の知らせを受けるとフィジカル・レイヤ回路 2 0 を経由して 1 3 9 4 シリアルバスのアービトレーションを行いバスを確保する。なお、図 1 では、上述したように、アイソクロナス通信系の F I F O 等は省略している。

【 0 0 2 4 】 CPU インタフェース回路 1 0 2 は、ローカルプロセッサ 4 0 と送信用 F I F O 1 0 3、受信用 F I F O 1 0 4 とのアシンクロナス通信用パケットの書き込み、読み出し等の調停、並びに、ローカルプロセッサ 4 0 と C R 1 0 7 との各種データの送受信の調停を行う。たとえば、イニシエータとしてのホストコンピュータから I E E E 1 3 9 4 インタフェースバス B S を送信され、受信用 F I F O に格納されたストレージデバイスとしてのハードディスクのコントロール用コマンドをローカルプロセッサ 4 0 に伝送する。そして、ローカルプロセッサ 4 0 からは、コンピュータデータを送受信するためにトランザクション・レイヤ回路 1 2 0 を起動させるためのデータが CPU インタフェース 1 0 2 を通して C R 1 0 7 にセットされる。

【 0 0 2 5 】 さらに、ローカルプロセッサ 4 0 からは、後述するようにトランザクション・レイヤ回路 1 2 0 における他ノードから自ノードへデータを転送する読み出

し (受信) 動作時に、応答パケットの最大データ長を計算するための最大データ長を指定するための 4 ビットの最大長データ (max-payload) が CPU インタフェース 1 0 2 を通して C R 1 0 7 にセットされる。この最大長データは、トランザクション・レイヤ回路 1 2 0 の後述する要求パケット生成回路 1 2 2 に供給される。

【 0 0 2 6 】 送信用 F I F O 1 0 3 には、I E E E 1 3 9 4 シリアルバス B S に伝送させるアシンクロナス通信用パケットが格納され、格納データはリンクコア 1 0 1 に与えられる。

【 0 0 2 7 】 また、受信用 F I F O 1 0 4 は、I E E E 1 3 9 4 シリアルバス B S を伝送されてきたアシンクロナス通信用パケット、たとえばストレージデバイスとしてのハードディスクのコントロール用コマンド等が、分別回路 1 0 5 により格納される。

【 0 0 2 8 】 分別回路 1 0 5 は、リンクコア 1 0 1 を介したアシンクロナス通信用パケットの第 1 クワドレットにあるトランザクションコード t c o d e (Transaction code) およびトランザクションラベル t l (Transaction label) をチェックし、イニシエータであるホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット (Response Packet) であるかその他のパケットであるかの分別を行い、応答パケットのみをトランザクション・レイヤ回路 1 2 0 に入力させ、その他のパケットを受信用 F I F O 1 0 4 に格納する。

【 0 0 2 9 】 なお、分別のチェックに用いられるトランザクションラベル t l は共通に「a」にセットされ、t c o d e (Transaction code) は、書き込み (Write) の要求 (request) および応答 (Response)、読み出し (Read) の要求 (Read request) および応答 (Read Response) で異なるデータがセットされる。具体的には、t c o d e は、書き込み要求 (Write request) でクワドレット書き込み (Quadlet Write) の場合には「0」、ブロック書き込み (Block Write) の場合には「1」にセットされる。また、書き込み応答 (Write Response) の場合には「2」にセットされる。読み出し要求 (Read request) でクワドレット読み出し (Quadlet Read) の場合には「4」、ブロック読み出し (Block Read) の場合には「5」にセットされる。また、読み出し応答 (Read Response) の場合には「6/7」にセットされる。

【 0 0 3 0 】 リゾルバ 1 0 6 は、I E E E 1 3 9 4 シリアルインタフェースバス B S を伝送されてきたセルフ ID パケットを解析し、C R 1 0 7 に格納する。また、エラーチェック、ノード数のカウント等の機能も有する。

【 0 0 3 1 】 トランザクション・レイヤ回路 1 2 0 は、コンピュータ周辺機器 (本実施形態ではハードディスク) のデータを S B P - 2 (Serial Bus Protocol-2) 規格に基づいて、アシンクロナスパケットとして自動的に送信、受信をする機能を備えている。また、トランザク

ション・レイヤ回路 1 2 0 は、リトライ(Retry) 機能並びにスプリットタイムアウト(Split Timeout) 検出機能を備えている。リトライ機能は、要求パケットを送信した後、ack busy' のAckコードが返ってきた場合、該当する要求パケットを再送信する機能である。パケットを再送信する場合、送信パケットの第1クワドレッドにある2ビットのrt領域を「00」から「01」にセットしてから送信する。スプリットタイムアウト(Split Timeout) 検出機能は、応答パケットが返ってくるまでのタイムアウトを検出する機能である。

【0032】このトランザクション・レイヤ回路 1 2 0 は、トランスポートデータインタフェース回路 1 2 1、要求パケット生成回路(SBPreq) 1 2 2、応答パケットデコード回路(SBPRsp) 1 2 3、要求用FIFO(Request FIFO:ADPTF) 1 2 4、応答用FIFO(Response FIFO:ADPRF) 1 2 5、およびトランザクションコントローラ 1 2 6により構成されている。そして、要求パケット生成回路 1 2 2、応答パケットデコード回路 1 2 3、要求用FIFO 1 2 4、応答用FIFO 1 2 5、およびトランザクションコントローラ 1 2 6によりデータ処理回路ADPが構成される。

【0033】トランスポートデータインタフェース回路 1 2 1は、HDDコントローラ 3 0と要求パケット生成回路 1 2 2、応答パケットデコード回路 1 2 3とのデータの送受信の調停を行う。

【0034】要求パケット生成回路 1 2 2は、リンク・レイヤ回路 1 0 0のCR 1 0 7からデータ転送起動の指示を受けると、送信(書き込み)の場合、SBP-2規格に従ってトランスポートデータインタフェース回路 1 2 1を介して得た図示しないハードディスクに記録されたコンピュータデータをパケットに分けられるように1個以上のデータに分け、トランザクションラベルt 1 (=a)等を指定した1394ヘッダを付加して要求用FIFO 1 2 4に格納する。また、受信(読み出し)の場合には、SBP-2規格に従って、指定されたアドレス、データ長分の1394ブロック読み出し要求コマンド(Block read Request Command)を1個以上のトランザクションラベルt 1 (=a)等を指定し、データ長を含むパケットにして要求用FIFO 1 2 4に格納する。さらに、この受信時には、CR 1 0 7にて指定される最大データmax-payloadを受けて送信する要求パケットに対する応答パケットの最大データ長を計算し、最大データ長(バイト)maxplを示す12ビットの信号S 1 2 2をトランザクションコントローラ 1 2 6に出力する。この最大データ長(バイト)maxplは次式に基づいて求められる。

【0035】

【数1】 $\max pl = 2^{(\dots)}$

【0036】応答パケットデコード回路 1 2 3は、受信時に応答用FIFO 1 2 5に格納された応答用パケット

データを読み出し、1394ヘッダを取り除いたデータを所定のタイミングでトランスポートデータインタフェース回路 1 2 1を介してHDDコントローラ 3 0に出力する。

【0037】要求用FIFO 1 2 4は、送信(書き込み)時にはパケット化された送信データが格納され、受信(読み出し)の場合には、1394ブロック読み出し要求コマンドが格納される。なお、要求用FIFO 1 2 4は、送るべきデータを記憶しているときは、その旨を示すたとえばローレベル(「0」)でアクティブの信号EMTをトランザクションコントローラ 1 2 6に出力する。

【0038】応答用FIFO 1 2 5は、受信(読み出し)の場合には、ホストコンピュータ側から1394シリアルバスBSを伝送されてきた受信データが格納される。なお、応答用FIFO 1 2 5は、残りの記憶容量を示す信号S 1 2 5をトランザクションコントローラ 1 2 6に出力する。

【0039】トランザクションコントローラ 1 2 6は、送信時に要求用FIFO 1 2 4に格納されたパケット化された送信データ、および受信時に要求用FIFO 1 2 4に格納された1394ブロック読み出し要求コマンド(要求パケット)のリンク・レイヤコア回路 1 0 0のリンクコア 1 0 1への出力制御を行う。また、受信時には、要求パケット生成回路 1 2 2から受けた信号S 1 2 2で与えられる最大データ長(バイト)maxplと応答用FIFO 1 2 5から受けた信号S 1 2 5で示される応答用FIFO 1 2 5の残り記憶容量とを比較し、残り記憶容量が最大データ長maxpl以上の場合に、要求パケットをリンクコア 1 0 1に出力し、要求パケットの送信を行わせる。一方、残り記憶容量が最大データ長maxplより小さい場合には、送るべき要求パケットで要求され、その応答パケットとして送られてくるデータ長の方が長く応答用FIFO 1 2 5の既記憶データが破壊されるおそれがあることから、要求パケットのリンクコア 1 0 1への出力を、残り記憶容量が最大データ長maxpl以上になるまで停止する。すなわち、要求パケットの他ノードへの送信を一時停止する。また、送信時に、リンク・レイヤ回路 1 0 0の分別回路 1 0 5からの応答パケットを受けて、そのリトライコードrcodeをCR 1 0 7に書き込み、受信時には分別回路 1 0 5からの応答パケットを応答用FIFO 1 2 5に格納する。

【0040】次に、上記構成において、SBP-2規格で決められたパケットを転送する場合のコンピュータデータの送信および受信動作を説明する。

【0041】まず、送信動作、すなわち、ターゲットであるハードディスクからイニシエータであるホストコンピュータにデータを転送するときであって、ストレージデバイス(ハードディスク)からホストコンピュータのメモリヘデータを書き込む動作を行う場合について説明

する。

【0042】ホストコンピュータから1394シリアルバスBSを転送されてきたSBP-2規格に基づいたORB(Operation Request Block)等のパケットデータがフィジカル・レイヤ回路20、リンク・レイヤ回路100のリンクコア101を介して分別回路105に入力される。

【0043】分別回路105では、受信パケットを受けてホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット(Response Packet)であるかその他のパケットであるかの分別が行われる。そしてこの場合、その他のパケットであることから受信データが受信用FIFO104に格納される。受信用FIFO104に格納されたORB等の受信データは、CPUインタフェース回路102を介してローカルプロセッサ40に入力される。ローカルプロセッサ40では、CPUインタフェース回路102を介してORBの内容に従ってCR107のトランザクション・レイヤ回路用レジスタの初期化が行われる。これにより、トランザクション・レイヤ回路120が起動される。

【0044】起動されたトランザクション・レイヤ回路120では、要求パケット生成回路122において、トランスポートインタフェース121を介してHDDコントローラ30に対してのデータの要求が始められる。要求に応じ、トランスポートインタフェース121を介して送られたきた送信データは、要求パケット生成回路122においてSBP-2規格に従ってパケットに分けられるように1個以上のデータに分けられ、トランザクションラベルt1(=a)等が指定された1394ヘッダが付加されて自動的に要求用FIFO124に格納される。

【0045】要求用FIFO124に1つの1394パケットサイズ以上のデータが格納されると、そのデータはトランザクションコントローラ126によりリンク・レイヤ回路100のリンクコア101に送られる。そして、リンクコア101によって、フィジカル・レイヤ回路20を介して1394シリアルバスBSに対しアービトレーションが掛けられる。これにより、バスの獲得ができたならば、転送データを含む書き込み要求パケット(Write Request Packet)がフィジカル・レイヤ回路20、1394シリアルバスBSを介してホストコンピュータに送信される。

【0046】送信後、ホストコンピュータから書き込み要求パケットに対するAckコードと、場合によっては書き込み応答パケット(Write Response Packet)が送られてきて、フィジカル・レイヤ回路20、リンク・レイヤ回路100のリンクコア101を介して分別回路105に入力される。

【0047】分別回路105では、受信パケットのトランザクションコードtcodeおよびトランザクション

ラベルt1のチェックが行われ、ホストコンピュータからターゲットであるトランザクション・レイヤ回路120に対しての応答パケット(Response Packet)であると判別されると、その応答パケットがトランザクション・レイヤ回路120のトランザクションコントローラ126に入力される。

【0048】トランザクションコントローラ126では、入力された応答パケットのAckコードと応答コード(Response code)が正常ならば次のデータのリンクコア101への送出が行われる。以上の動作が繰り返されて、コンピュータデータのホストコンピュータのメモリへの書き込み(送信)動作が行われる。

【0049】以上の送信に関するトランザクション・レイヤ回路120の動作の概略を図2に示す。

【0050】次に、受信動作、すなわち、ホストコンピュータからターゲットにデータを転送するときであって、ストレージデバイス(ハードディスク)がホストコンピュータのメモリのデータを読み出す動作を行う場合について説明する。

【0051】ホストコンピュータから1394シリアルバスBSを転送されてきたSBP-2規格に基づいたORB等のパケットデータがフィジカル・レイヤ回路20、リンク・レイヤ回路100のリンクコア101を介して分別回路105に入力される。

【0052】分別回路105では、受信パケットを受けてホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット(Response Packet)であるかその他のパケットであるかの分別が行われる。そしてこの場合、その他のパケットであることから受信データが受信用FIFO104に格納される。受信用FIFO104に格納されたORB等の受信データは、CPUインタフェース回路102を介してローカルプロセッサ40に入力される。ローカルプロセッサ40では、CPUインタフェース回路102を介してORBの内容に従ってCR107のトランザクション・レイヤ回路用レジスタの初期化が行われる。これにより、トランザクション・レイヤ回路120が起動される。

【0053】また、この初期化と並行して、ローカルプロセッサ40からは、要求パケットで指定される応答パケットに含まれる最大データ長を計算するための最大データ長を指定するための4ビットの最大長データ(max-payload)がCPUインタフェース102を通してCR107にセットされる。この最大長データは、トランザクション・レイヤ回路120の要求パケット生成回路122に供給される。

【0054】起動されたトランザクション・レイヤ回路120では、要求パケット生成回路122において、SBP-2規格に従って、指定されたアドレス、データ長の1394ブロック読み出し要求コマンド(Block read Request Command)がパケット化され、要求パケットし

て要求用 F I F O 1 2 4 に格納される。さらに、要求パケット生成回路 1 2 2 においては、C R 1 0 7 にて指定される最大長データ max-payload を受けて送信する要求パケットに対する応答パケットの最大データ長が計算され、最大データ長 (バイト) maxpl を示す 1 2 ビットの信号 S 1 2 2 がトランザクションコントローラ 1 2 6 に出力される。

【 0 0 5 5 】 トランザクションコントローラ 1 2 6 においては、要求パケット生成回路 1 2 2 から受けた信号 S 1 2 2 で与えられる最大データ長 maxpl と応答用 F I F O 1 2 5 から受けた信号 S 1 2 5 で示される応答用 F I F O 1 2 5 の残り記憶容量とが比較される。比較の結果、残り記憶容量が最大データ長 maxpl 以上の場合に、要求パケットがリンクコア 1 0 1 に出力される。一方、残り記憶容量が最大データ長 maxpl より小さい場合には、送るべき要求パケットで要求され、その応答パケットとして送られてくるデータ長の方が長く応答用 F I F O 1 2 5 の既記憶データが破壊されるおそれがあることから、要求パケットのリンクコア 1 0 1 への出力が、残り記憶容量が最大データ長 maxpl 以上になるまで、要求パケットの他ノードへの送信が一時停止される。

【 0 0 5 6 】 上述したように、残り記憶容量が最大データ長 maxpl 以上の場合に、要求用 F I F O 1 2 4 に格納された読み出し要求コマンドパケットは、トランザクションコントローラ 1 2 6 によりリンク・レイヤ回路 1 0 0 のリンクコア 1 0 1 に送られる。そして、リンクコア 1 0 1 によって、フィジカル・レイヤ回路 2 0 を介して 1 3 9 4 シリアルバス B S に対しアービトレーションが掛けられる。これにより、バスの獲得ができたならば、読み出し要求パケット (Read Request Packet) がフィジカル・レイヤ回路 2 0、1 3 9 4 シリアルバス B S を介してホストコンピュータに送信される。

【 0 0 5 7 】 送信後、ホストコンピュータから読み出し要求パケットに対する A c k コードと、指定されたデータ長分のデータを含んだ読み出し応答パケット (Read Response Packet) が送られてきて、フィジカル・レイヤ回路 2 0、リンク・レイヤ回路 1 0 0 のリンクコア 1 0 1 を介して分別回路 1 0 5 に入力される。

【 0 0 5 8 】 分別回路 1 0 5 では、受信パケットのトランザクションコード t c o d e およびトランザクションラベル t l のチェックが行われ、ホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット (Response Packet) であると判別されると、その応答パケットがトランザクション・レイヤ回路 1 2 0 のトランザクションコントローラ 1 2 6 に入力される。

【 0 0 5 9 】 トランザクションコントローラ 1 2 6 では、分別回路 1 0 5 からの応答パケットデータが応答用 F I F O 1 2 5 に格納される。応答用 F I F O 1 2 5 に格納されたデータは、応答パケットデコード回路 1 2 3

によって読み出され、1 3 9 4 ヘッダが取り除かれて所定のタイミングでトランスポートデータインタフェース回路 1 2 1 を介して H D D コントローラ 3 0 に出力される。以上の動作が繰り返されて、コンピュータデータのストレージデバイス (ハードディスク) への書き込み (受信) 動作が行われる。

【 0 0 6 0 】 以上の受信に関するトランザクション・レイヤ回路 1 2 9 の動作の概略を図 3 に示す。

【 0 0 6 1 】 以上説明したように、本第 1 の実施形態によれば、ストレージデバイスが接続され、ストレージデバイスのデータを読み出し、自己指定のトランザクションラベルを付加して送信アシンクロナスパケットとしてシリアルインタフェースバス B S に送出し、他ノードのデータを当該ストレージデバイスへ転送する場合に、自己指定のラベルを付加した要求パケットを生成してシリアルインタフェースバス B S に送出し、他ノードからのこの要求パケットに対する応答パケットを受信し、応答パケットからデータ部を取り出してストレージデバイスへ転送するデータ処理回路としてのトランザクション・レイヤ回路 1 2 0 を設けたので、ストレージデバイスに格納される、あるいはストレージデバイスから読み出される大容量のデータを S B P - 2 規格に合わせた I E E E 1 3 9 4 パケットにして送受信することができ、I E E E 1 3 9 4 シリアルバスインタフェースのアシンクロナス パケットを用いて大容量のデータ転送を実現することができる。そして、S B P - 2 規格に基づいた O R B のフェッチ、データ転送、イニシエータへのステータス送信といったシーケンスを簡略化でき、ディスクドライバ、テープストリーマ等のコンピュータ周辺機器のデータを I E E E 1 3 9 4 シリアルバスに接続する際に最適な設計が可能となる。

【 0 0 6 2 】 また、受信動作時には、要求パケット生成回路 1 2 2 において、要求パケットを生成するとともに、送信する要求パケットに対する応答パケットの最大データ長を計算し、信号 S 1 2 2 としてトランザクションコントローラ 1 2 6 に出力し、要求パケット生成回路 1 2 2 から受けた信号 S 1 2 2 で与えられる最大データ長 maxpl と応答用 F I F O 1 2 5 から受けた信号 S 1 2 5 で示される応答用 F I F O 1 2 5 の残り記憶容量とを比較し、残り記憶容量が最大データ長 maxpl 以上の場合に、要求パケットの送信を行わせ、残り記憶容量が最大データ長 maxpl より小さい場合には、送るべき要求パケットで要求され、その応答パケットとして送られてくるデータ長の方が長く応答用 F I F O 1 2 5 の既記憶データが破壊されるおそれがあることから、要求パケットのリンクコア 1 0 1 への出力を、残り記憶容量が最大データ長 maxpl 以上になるまで、要求パケットの他ノードへの送信を一時停止するようにしたので、受信するに十分な F I F O 容量を確保して、自ノードが送信した要求パケットに対する応答パケットを受けることができる利点

がある。

【0063】さらに、トランザクション・レイヤ回路120に要求用FIFO124および応答用FIFO125を設けるとともに、リンク・レイヤ回路100に送信用FIFO103および受信用FIFO104を設けたので、要求用FIFO124および応答用FIFO125によるデータのやりとりと並列して、データ以外の通常の1394パケットの送受信を行うことができる。

【0064】また、リンクコア101を介したアシンクロナス通信用パケットの第1クワドレッドにあるトランザクションコードtcode(Transaction code)およびトランザクションラベルtl(Transaction label)をチェックし、イニシエータであるホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット(Response Packet)であるかその他のパケットであるかの分別を行い、応答パケットのみをトランザクション・レイヤ回路120に入力させ、その他のパケットを受信用FIFO104に格納する分別回路105を設けたので、たとえばトランザクション・レイヤ回路120側で致命的なエラーがおきてデータの読み出し/書き込み動作が止まってしまったとしても、データの次の入力されてくるコマンドの読み出しができなくなるがなく、データの読み出し/書き込みの状況にかかわらずコマンドの受信を円滑に行うことができる利点がある。

【0065】なお、上述した実施形態では、受信時に送信する要求パケットに対する応答パケットの最大データ長を計算し、この最大データ長maxplと応答用FIFO125から受けた信号S125で示される応答用FIFO125の残り記憶容量とを比較して、要求パケットの送信をするか一時停止するかを判断するように構成したが、たとえば、要求パケットに含まれるデータ長データDLをトランザクションコントローラ126で読み出して、このデータ長データDLと応答用FIFO125の残り記憶容量とを要求パケット毎に比較して、その要求

パケットの送信をするか一時停止するかを判断するように構成することも可能である。このような構成においても、上述したと同様な構成を得ることができる。

【0066】

【発明の効果】以上説明したように、本発明によれば、大容量のデータを所定の規格に合わせてパケットにして送受信することができ、また、円滑な送受信処理を行うことができる。また、受信するに十分な記憶容量を確保して、自ノードが送信した要求パケットに対する応答パケットを受けることができる利点がある。

【図面の簡単な説明】

【図1】本発明に係るIEEE1394シリアルインタフェース回路の一実施形態を示すブロック構成図である。

【図2】本発明に係るトランザクション・レイヤ回路における送信動作の概略を示す図である。

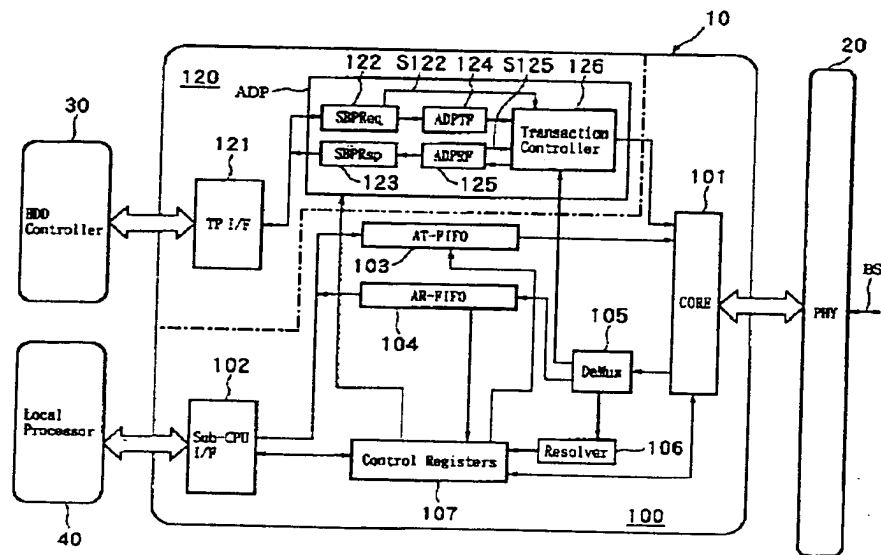
【図3】本発明に係るトランザクション・レイヤ回路における受信動作の概略を示す図である。

【図4】IEEE1394規格のアシンクロナス転送を説明するための図である。

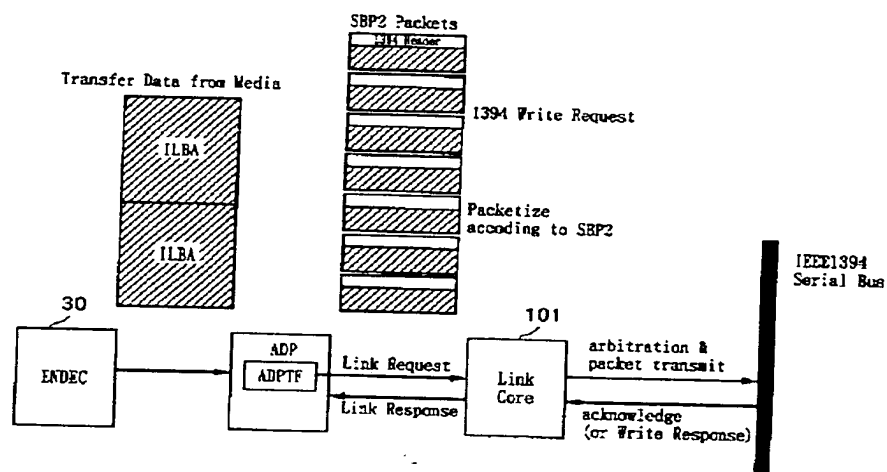
【符号の説明】

10…リンク/トランザクションレイヤ集積回路、20…フィジカル・レイヤ回路、30…HDDコントローラ、40…ローカルプロセッサ、100、100a…リンク・レイヤ回路、101…リンクコア、102…CPUインタフェース回路、103…アシンクロナス送信用FIFO、104…アシンクロナス受信用FIFO、105、105a…分別回路、106…リゾルバ、107…コントロールレジスタ、120…トランザクション・レイヤ回路、121…トランスポートデータインタフェース回路、121…要求パケット生成回路、123…応答パケットデコード回路、124…要求用FIFO、125…応答用FIFO、126…トランザクションコントローラ。

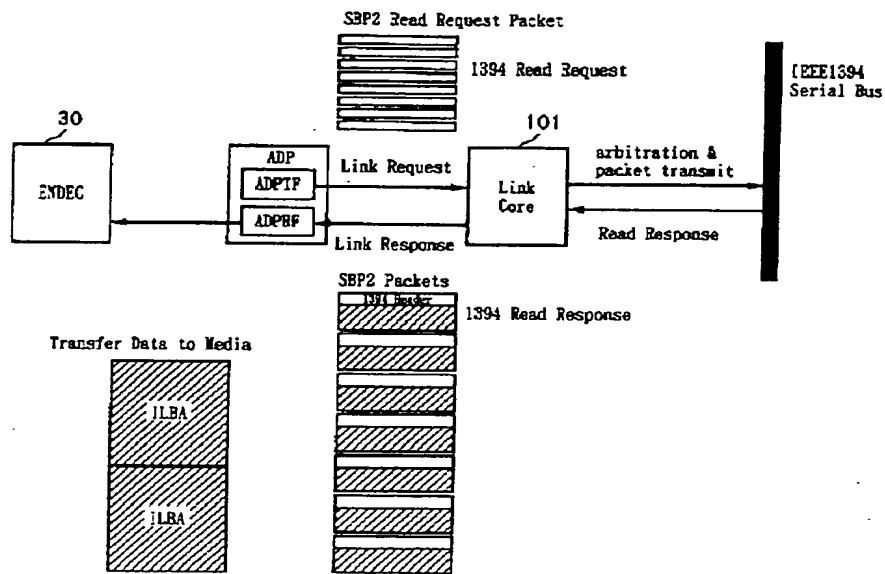
【図 1】



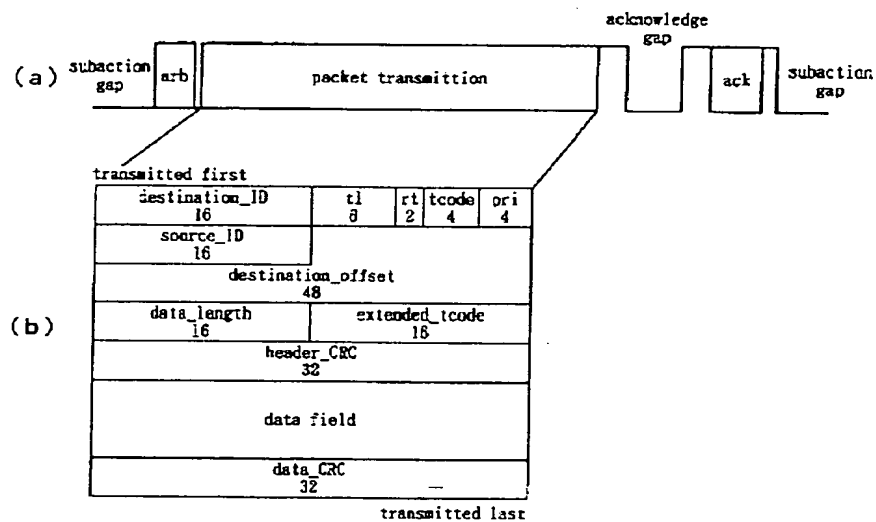
【図 2】



【 図 3 】



【 図 4 】



THIS PAGE BLANK (USPTO)